

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-082735

(43)Date of publication of application : 02.04.1993

(51)Int.Cl.

H01L 27/04  
H01L 21/321

(21)Application number : 03-241420

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.09.1991

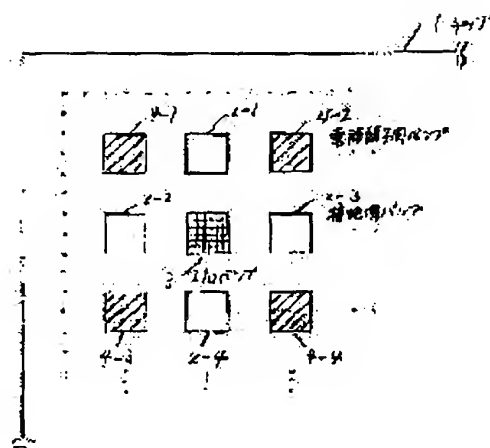
(72)Inventor : KONO TETSUO  
YAMADA NAOTO

## (54) LARGE SCALE INTEGRATED CIRCUIT

### (57)Abstract:

PURPOSE: To provide a large scale higher-reliability integrated circuit which is strong against noises generated in a power circuit, and prevents the abnormal propagation of simultaneous switching noises.

CONSTITUTION: In a large scale integrated circuit having bumps in the peripheral part of the upside of a chip 1, a plurality of bumps 4-1 and 4-2 (1) for power terminals and grounding bumps 2-1 and 2-2 (1) are arranged at locations to surround a bump 3 for a signal terminal. And the bumps 4-1 and 4-2 (1) for power terminals are divided into a plurality of sets, and connected to different power system lines respectively.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-82735

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04	E	8427-4M		
21/321				
27/04	D	8427-4M		
		9168-4M	H 0 1 L 21/ 92	C

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号	特願平3-241420	(71)出願人	00005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成3年(1991)9月20日	(72)発明者	河野 哲雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	山田 直人 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 鈴木 榮祐

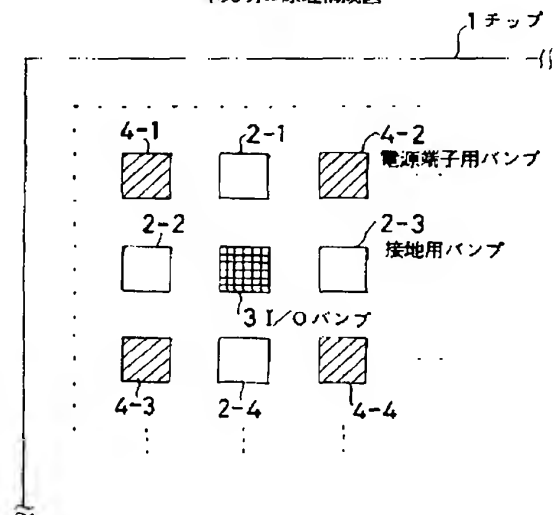
(54)【発明の名称】 大規模集積回路

(57)【要約】

【目的】 本発明は電源回路で発生する雑音に強い大規模集積回路に関し、同時スイッチング雑音の異常伝播を防止し、信頼性を高めた大規模集積回路を提供することを目的とする。

【構成】 チップ1上周辺部に配置されたバンプを有する大規模集積回路において、複数の電源端子用バンプ4-1, 4-2 ー及び接地用バンプ2-1, 2-2 ーが信号端子用バンプ3を取り囲む位置に配置され、且つ電源端子用バンプ4-1, 4-2 ーが複数組に分けられ、それぞれ異なる電源系統線5-1, 5-2 ーと接続されて構成する。

本発明の原理構成図



## 【特許請求の範囲】

【請求項1】 チップ(1) 上周辺部に配置されたバンクを有する大規模集積回路において、

複数の電源端子用バンク(4-1)(4-2) 及び接地用バンク(2-1)(2-2)一が信号端子用バンク(3) を取り囲む位置に配置され、

且つ電源端子用バンク(4-1)(4-2)一が複数組に分けられ、それぞれ異なる電源系統線(5-1)(5-2)一と接続されたことを特徴とする大規模集積回路。

【請求項2】 請求項1記載の電源端子用バンク及び接地用バンクを、基板上の金属層により連結して、電源供給路を形成することを特徴とする大規模集積回路。

【請求項3】 請求項1記載の電源端子用バンク及び接地用バンクは、それぞれ列状に設けられ、各列状のバンクの中間に信号用バンクが列状に設けられていることを特徴とする大規模集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は電源回路で発生する雑音に強い大規模集積回路に関する。近年の半導体装置は益々大規模化が進み、多ピン技術が必要となり、また一方ではデジタル信号が印加されたとき同時刻にスイッチングするバンク数が増加し、同時スイッチング雑音の問題が持ち上がって来た。同時スイッチング処理のときも有効な雑音対策の手段を考究することが要望された。ここでバンクとは従来の集積回路チップ上のパッドと略同じ形状でチップ表面より突出する方向に、半田を含む金属材料を厚く盛り上げた端子をいう。バンクはチップ上の回路と集積回路パッケージのピンとの間へそれぞれボンディングワイヤを介して接続している。

## 【0002】

【従来の技術】従来、大規模集積回路のパッドについては交流信号用の所謂I/Oパッドと直流電源印加用の電源パッドとがチップの外側に一次元的に配列されていた。I/Oパッドとは入力/出力信号パッドのことであって、チップ内側の集積回路部分と、大規模集積回路の外部との入力・出力信号を中継する端子をいう。その配列には特に規則性がないため、I/Oパッドが複数個、隣接していてデジタル信号が印加されたときなど、同時スイッチングの雑音がI/Oパッドを伝播することがあった。それはチップのパッドと接続されているバッファ段例えばインバータがデジタル信号により動作するとき、データが“1”→“0”または“0”→“1”と変化すれば、インバータ回路に「貫通電流」が流れ、多数の回路が一斉に動作するから、電流が一次に多量に流れる。そのため電源回路から見ると、時に大電流が必要となり、電圧・電流の急激な変化が雑音となって、パッドを介してチップ上の回路に伝播して行くこととなった。そのような雑音を取り除くため、従来採用されている技術の例は、電源回路母線を複数本設けて、且つ電源

用パッドをより多数設け異なるバッファ段に対し色々のパッドと接続すること、或いはI/Oパッドの両側に電源パッドを設けて、その一方のパッドは少なくとも接地電位としていることである。

【0003】またバンクを用いる大規模集積回路においては、同一チップについてI/Oパッドと同様な目的でI/Oバンクを使用しているから、大規模集積回路の多ピン化に容易に対応できる。そして従来のI/Oパッド・電源パッドと同様な動作を行うバンクが数多く存在する。そして、バンクはパッドと別の場所に設けられていて、チップ内回路と所定の接続がなされている。バンクを使用する場合の電源雑音対策はパッドにおける対策と同様に考えて実行していた。

## 【0004】

【発明が解決しようとする課題】大規模集積回路が更に高密度化されたとき、同時にスイッチングするI/Oバンクが増加するため、電源雑音対策として前述のやり方のみでは間に合わず、電源用バンクで発生した雑音が、近接するI/Oバンクからチップ内回路に伝播することが発生した。

【0005】本発明の目的は前述の欠点を改善し、同時スイッチング雑音の異常伝播を防止し、信頼性を高めた大規模集積回路を提供することにある。

## 【0006】

【課題を解決するための手段】図1は本発明の原理構成を示す図で、1は集積回路を構成するチップを全体的に示すもの、2-1,2-2一は接地用バンク、3はI/Oバンク(信号入出力端子用バンク)、4-1,4-2一は電源端子用バンク、5-1,5-2一はそれぞれ独立の電源系統線を示す。

【0007】チップ1上周辺部に配置されたバンクを有する大規模集積回路において、本発明は下記の構成としている。即ち、複数の電源端子用バンク4-1,4-2一及び接地用バンク2-1,2-2一が信号端子用バンク3を取り囲む位置に配置され、且つ電源端子用バンク4-1,4-2一が複数組に分けられ、それぞれ異なる電源系統線5-1,5-2一と接続されたことで構成する。

## 【0008】

【作用】信号用バンク3に対し電源端子用バンク4-1,4-2一と、接地用バンク2-1,2-2一が取り囲む位置に配置されていて、電源端子用バンク4-1,4-2一は異なる電源系統線5-1,5-2一と接続されているから、チップ上の回路に対し最も近いバンクから信号・直流・接地の各接続線を接続することが出来る。そのため電源供給について短い接続線により十分な電流容量の電源系統を設けることが出来るから、同時スイッチングが起こっても、電源電圧などに影響を与えることが少なくなる。したがって大規模集積回路の信頼性を向上させることができる。

## 【0009】

【実施例】図2は本発明の実施例の構成を示す図であ

3

る。図2において信号端子用バンパは3-1,3-2 - と図では10個示してある。図2において6-1,6-2,6-3 はそれぞれバンパ間を接続する金属の配線層を示し、そのうち特に接地用バンパ2-1,2-2 - 間を接続している配線層6-1 はバンパとチップとを接続する配線層である。信号端子用バンパ3-1,3-2 - はその周辺を電源端子用バンパ4-1,4-12 - と4-21,4-22 - との2列のリング状バンパが取り囲んでいる。6-2,6-3 は各リング状バンパを互いに接続している配線層であって、それらと電源及びチップ上の回路とを接続することは図示していない。信号端子用バンパ3に近い位置に接地用バンパを設けているから、同時スイッチング雑音が電源配線層6-1,6-2,6-3 を介して信号端子用バンパ3に影響を与えることを有効に防止している。

【0010】次に図3は本発明の他の実施例の構成を示す図である。図3において、7-1,7-2,7-3 は金属層を示し、信号端子用バンパ3-1,3-2 - の両端に電源端子用バンパが設けられ、例えば金属層7-1 とは電源系統が異なるものとする。また金属層7-3 は例えば空き領域となっていた所のバンパを電源端子用に流用した場合を示している。即ち本発明において、信号端子用バンパ3を電源端子用バンパが取り囲む状態を得るため、製造当初において明確に定まっていなかったバンパを有効に使っている。

【0011】図4は更に他の実施例の構成を示す図である。図2において、2-1,2-2 - は接地用バンパを示す。8は接地用バンパを互いに結ぶ金属配線層を示す。3-1,3-21 - は信号端子用バンパを示す。4-11,4-12 - は

4

一方の電源端子用バンパ列で、9はそれらを互いに結ぶ金属配線層を示す。4-21,4-22 - は他方の電源端子用バンパ列で、10はそれらバンパを互いに結ぶ金属配線層を示す。図4においては列状に並ぶ信号端子用バンパに対し、その中間に電源端子用バンパが列状に割込んで互い違いのバンパ列を形成している。図4においてはバンパは丸印で示してある。

【0012】

【発明の効果】このようにして本発明によると、バンパに形成された信号端子・電源端子について、信号端子用バンパを電源端子用バンパが取り囲んでいて、且つ電源系統線を異ならせ、且つ電源系統線も異ならせているため、同時スイッチングの雑音が伝播することを有効に少なくすることが出来る。

【図面の簡単な説明】

【図1】図1は本発明の原理構成を示す図である。

【図2】図2は本発明の実施例の構成を示す図である。

【図3】図3は本発明の他の実施例の構成を示す図である。

【図4】図4は本発明の更に他の実施例の構成を示す図である。

【符号の説明】

1 半導体チップ

2-1,2-2 接地用バンパ

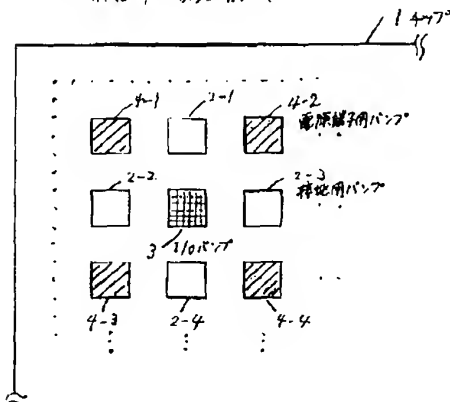
3 信号端子用バンパ

4-1,4-2 電源端子用バンパ

5-1,5-2 異なる電源系統線。

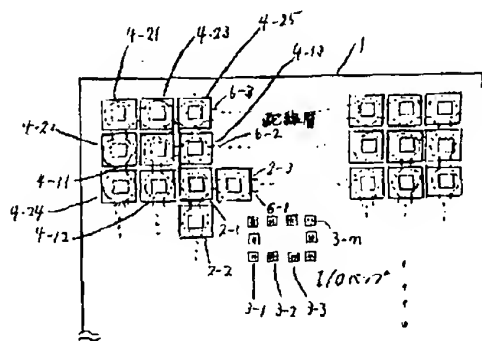
【図1】

本発明の原理構成図



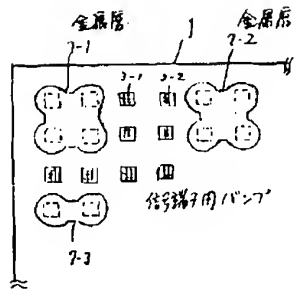
【図2】

実施例



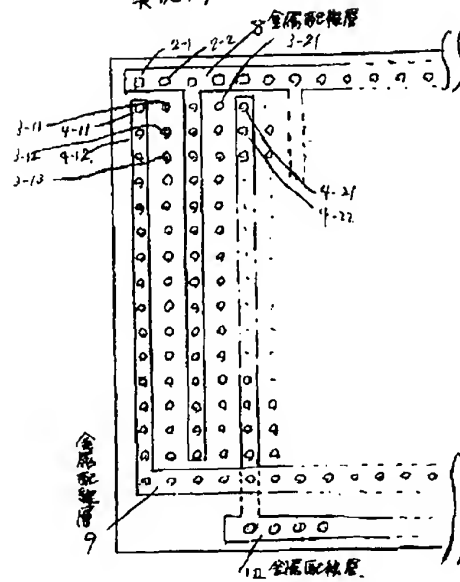
【図3】

実施例



【図4】

実施例



【手続補正書】

【提出日】平成3年10月2日

【手続補正1】

【補正対象書類名】図面

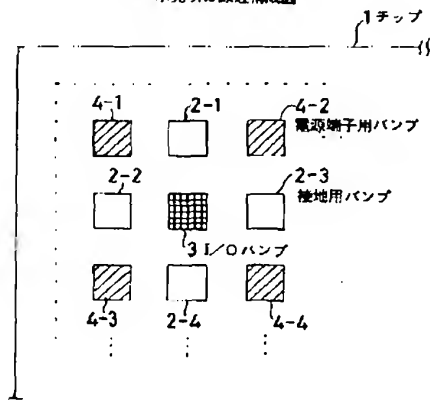
【補正対象項目名】全図

【補正方法】変更

【補正内容】

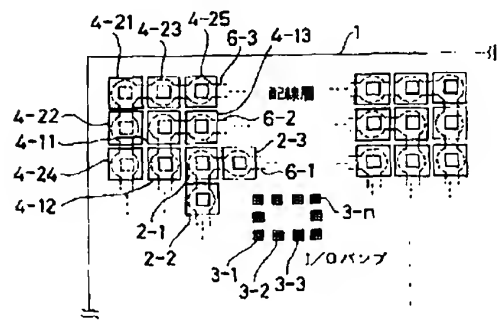
【図1】

本発明の原理構成図



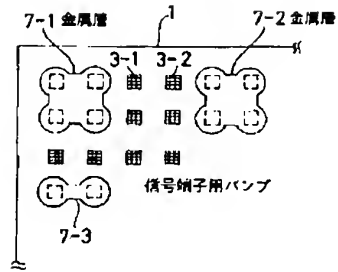
【図2】

実施例



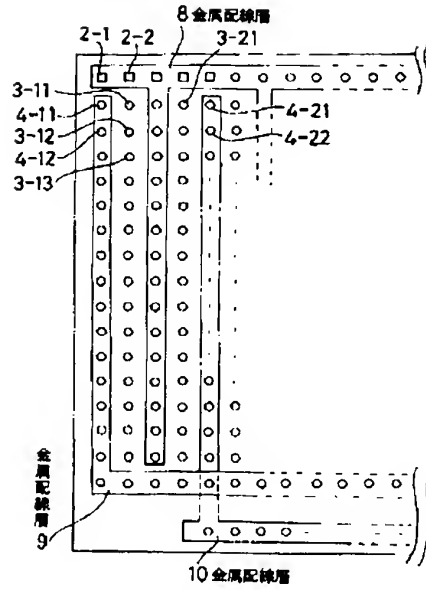
【図3】

実施例



【図4】

実施例



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to a large-scale integrated circuit strong against the noise generated in a power circuit. Large-scale-ization progressed increasingly, multi-pin technology was needed, and when a digital signal was impressed on the other hand, the number of bumps switched to this time increased the semiconductor device in recent years, and the problem of simultaneous switching noise has arisen. It was requested that investigation of the means of the effective cure against noise was carried out also at the time of simultaneous switching processing. the pad on the integrated circuit chip of the former [ bump ] in here, and abbreviation -- the terminal which heaped up the metallic material containing solder thickly in the direction which projects from a chip front face in the same configuration is said The bump has connected with between the circuit on a chip, and the pin of an integrated circuit package through a bonding wire, respectively.

[0002]

[Description of the Prior Art] Conventionally, about Bud of a large-scale integrated circuit, the power supply pad for the so-called I/O pad and so-called DC-power-supply impression for alternating current signals was arranged in single dimension on the outside of a chip. I/O pads are an input / output signal pad, and the terminal which relays the input and output signal of the integrated-circuit portion of the chip inside and the exterior of a large-scale integrated circuit is said. Since there was no regularity especially in the array, when two or more I/O pads adjoined and a digital signal was impressed, the noise of simultaneous switching might spread the I/O pad. Since many circuits operate all at once by "penetration current" flowing to an inverter circuit if data change with "1"-> "0" or "0"-> "1" when operating with a digital signal, the buffer stage, for example, the inverter, by which it is connected with the pad of a chip, current flows so much to primary. Therefore, when it sees from a power circuit, a high current is needed at a stretch, and the abrupt change of voltage and current becomes noise, and will spread and go to the circuit on a chip through a pad. preparing a power supply pad in the both sides of connecting with various pads to a buffer stage which the example of the technology conventionally adopted in order to remove such noise prepares two or more power circuit bus-bars, and prepares many pads for power supplies more, and is different, or an I/O pad, the pad which is one of these is considering as grounding potential at least

[0003] Moreover, in the large-scale integrated circuit using a bump, since the I/O bump is used for the same purpose as an I/O pad about the same chip, it can respond to many pin-ization of a large-scale integrated circuit easily. And many bumps who perform the same operation as the conventional I/O pad and power supply pad exist. And the bump is prepared in the place different from a pad, and the circuit in a chip and predetermined connection are made. The cure against a power source noise in the case of using a bump was considered to be a cure in a pad the same way, and was implemented.

[0004]

[Problem(s) to be Solved by the Invention] Since the I/O bumps who switch simultaneously increased in number when densification of the large-scale integrated circuit is carried out further, it occurred that the

noise which did not do only in the above-mentioned way as a cure against a power source noise, but was generated by the bump for power supplies spreads in the circuit in a chip from the approaching I/O bump.

[0005] It is in the purpose of this invention offering the large-scale integrated circuit which has improved the above-mentioned fault, prevented the extraordinary propagation of simultaneous switching noise, and raised reliability.

[0006]

[Means for Solving the Problem] What, on the whole, shows the chip with which drawing 1 is drawing showing the principle composition of this invention, and 1 constitutes an integrated circuit, 2-1, and 2-2 - show the bump for grounding, and, as for the bump for power terminals, 5-1, and 5-2 -, in 3, an I/O bump (bump for signal input/output terminals), 4-1, and 4-2 - show a respectively independent power-system line.

[0007] In the large-scale integrated circuit which has the bump stationed at the chip 1 upper-limb section, this invention is considered as the following composition. That is, it is arranged in the position where two or more bumps 4-1 for power terminals, 4-2 - and the bump 2-1 for grounding, and 2-2 - enclose the bump 3 for signal terminals, and the bump 4-1 for power terminals and 4-2 - are divided into two or more sets, and it constitutes from having connected with the power-system line 5-1 different, respectively and 5-2 - different, respectively.

[0008]

[Function] It is arranged in the position which the bump 4-1 for power terminals, 4-2 -, and the bump 2-1 for grounding and 2-2 - enclose to the bump 3 for signals, and since it connects with the different power-system line 5-1 and different 5-2 -, the bump 4-1 for power terminals and 4-2 - can connect each path cord of a signal, a direct current, and grounding from the nearest bump to the circuit on a chip. Therefore, since the power system of sufficient current capacity can be prepared by the path cord short about current supply, even if simultaneous switching takes place, affecting supply voltage etc. decreases. Therefore, the reliability of a large-scale integrated circuit can be raised.

[0009]

[Example] Drawing 2 is drawing showing the composition of the example of this invention. In drawing 2, 3-1, 3-2 -, and drawing have shown the bump for signal terminals ten pieces. It sets to drawing 2 and is 6-1, 6-2, and 6-3. Wiring layer 6-1 which especially showed the wiring layer of the metal which connects between bumps, respectively, among those has connected between the bump 2-1 for grounding, and 2-2 - It is the wiring layer which connects a bump and a chip. As for the bump 3-1 for signal terminals, and 3-2 -, the ring-like bump of two trains of the bump 4-11 for power terminals, 4-12 -, and 4-21 and 4-22 - surrounds the circumference. 6-2 and 6-3 It is the wiring layer which has connected each ring-like bump of each other, and connecting the circuit on them, a power supply, and a chip is not illustrating. Since the bump for grounding is prepared in the position near the bump 3 for signal terminals, simultaneous switching noise is the power supply wiring layer 6-1, 6-2, and 6-3. It has prevented effectively minding and affecting the bump 3 for signal terminals.

[0010] Next, drawing 3 is drawing showing the composition of other examples of this invention. It sets to drawing 3 and is 7-1, 7-2, and 7-3. A metal layer is shown, and the bump for power terminals is prepared in the ends of the bump 3-1 for signal terminals, and 3-2 -, for example, it is the metal layer 7-1. Power systems shall differ. Moreover, metal layer 7-3 For example, the case where the bump of the place used as the free area is diverted to power terminals is shown. That is, in this invention, in order to acquire the state where the bump for power terminals surrounds the bump 3 for signal terminals, the bump who had not become settled clearly in the time of manufacture is used effectively.

[0011] Drawing 4 is drawing showing the composition of the example of further others. In drawing 2, 2-1 and 2-2 - show the bump for grounding. 8 shows the metal wiring layer which connects the bump for grounding of each other. 3-11 and 3-21 - show the bump for signal terminals. 4-11 and 4-12 - are one bump trains for power terminals, and 9 shows the metal wiring layer which connects them mutually. 4-21 and 4-22 - are the bump trains for power terminals of another side, and 10 shows the metal wiring layer which connects these bumps of each other. To the bump for signal terminals who ranks with a



seriate in drawing 4 , the bump for power terminals wedges herself in a seriate, and forms the alternate bump train in the middle. In drawing 4 , the round mark has shown the bump.

[0012]

[Effect of the Invention] Thus, since according to this invention the bump for power terminals surrounds the bump for signal terminals, a power-system line is changed and the power-system line is also changed about the signal terminal and the power terminal formed in the bump, it can lessen effectively that the noise of simultaneous switching spreads.

---

[Translation done.]